

GigaDevice Semiconductor Inc.

GD32E50x 系列硬件开发指南

应用笔记

AN078

目 录

目 录	2
图索引	4
表索引	5
1. 前言	6
2. 硬件设计	7
2.1. 电源	7
2.1.1. 备份域	7
2.1.2. V _{DD} /V _{DDA} 电源域	8
2.1.3. 供电设计	8
2.1.4. 复位及电源管理	9
2.2. 时钟	12
2.2.1. 外部高速晶体振荡时钟 (HXTAL)	14
2.2.2. 外部低速晶体振荡时钟 (LXTAL)	15
2.2.3. 时钟输出能力 (CKOUT)	16
2.2.4. HXTAL 时钟监视器 (CKM)	17
2.2.5. PLL 展频 (SSCG)	17
2.2.6. 电压控制	19
2.3. 启动配置	19
2.4. 典型外设模块	20
2.4.1. GPIO 电路	20
2.4.2. USART 电路	21
2.4.3. ADC 电路	22
2.4.4. DAC 电路	23
2.4.5. USB 电路	23
2.4.6. Standby 模式唤醒电路	25
2.5. 下载调试电路	25
2.6. 参考原理图设计	28
3. PCB Layout 设计	29
3.1. 电源去耦电容	29
3.2. 时钟电路	29
3.3. 复位电路	30
3.4. SHRTIMER 电路	31
3.5. USB 电路	31

4. 封装说明	33
5. 版本历史	34

图索引

图 2-1. GD32E50x 系列电源域概览.....	7
图 2-2. GD32E50x 系列推荐供电设计.....	9
图 2-3. 上电/掉电复位波形图.....	10
图 2-4. LVD 阈值波形图.....	10
图 2-5. BOR 波形图.....	11
图 2-6. RCU_RSTSCK 寄存器.....	11
图 2-7. 系统复位电路.....	12
图 2-8. 推荐外部复位电路.....	12
图 2-9. GD32E503xx 时钟树.....	13
图 2-10. GD32E505xx/GD32E507xx/GD32E508xx 时钟树.....	14
图 2-11. HXTAL 外部晶体电路.....	15
图 2-12. HXTAL 外部时钟电路.....	15
图 2-13. LXTAL 外部晶体电路.....	16
图 2-14. LXTAL 外部时钟电路.....	16
图 2-15. 中心扩频方式展频.....	18
图 2-16. 向下扩频方式展频.....	19
图 2-17. 推荐 BOOT 电路设计.....	20
图 2-18. 标准 IO 的基本结构.....	21
图 2-19. ADC 采集电路设计.....	22
图 2-20. 推荐 USB-Device 参考电路.....	24
图 2-21. 推荐 USB-Device (USBFS) 参考电路.....	24
图 2-22. 推荐 USB-Host 参考电路.....	25
图 2-23. Standby 外部唤醒引脚电路设计.....	25
图 2-24. 推荐 JTAG 接线参考设计.....	26
图 2-25. SWD 接线参考设计.....	27
图 2-26. GD32E50x 推荐参考原理图设计.....	28
图 3-1. 推荐电源引脚去耦 Layout 设计.....	29
图 3-2. 推荐时钟引脚 Layout 设计 (无源晶体).....	30
图 3-3. 推荐 NRST 走线 Layout 设计.....	30
图 3-4. 推荐 SHRTIMER 多路 PWM 走线 Layout 设计.....	31
图 3-5. 推荐 USB 差分走线 Layout 设计.....	32

表索引

表 1-1. 适用产品.....	6
表 2-1. CKOUT0SEL[2:0]控制位.....	17
表 2-3. CKOUT0SEL[3:0]控制位.....	17
表 2-4. PLL spread spectrum clock generation (SSCG) characteristics	18
表 2-5. 深度睡眠模式下 1.1V 域电压选择	19
表 2-6. Bootloader 交互接口.....	19
表 2-7. BOOT 模式	20
表 2-8. USART 重要引脚描述.....	22
表 2-9. $f_{ADC}=35MHz$ 采样周期与外部输入阻抗关系	22
表 2-10. DAC 相关引脚描述.....	23
表 2-11. JTAG 下载调试接口分配	26
表 2-12. SWD 下载调试接口分配.....	26
表 4-1. 封装型号说明	33
表 5-1. 版本历史.....	34

1. 前言

本文是专为基于Arm® Cortex-M33架构的32位通用MCU GD32E50x系列开发者提供的，对GD32E50x系列产品硬件开发做了总体介绍，如电源、复位、时钟、启动模式的设置及下载调试等。该应用笔记的目的是让开发者快速上手使用GD32E50x系列产品，并快速进行产品硬件开发使用，节约研读手册的时间，加快产品开发进度。

本应用开发指南总共分为七部分来讲述：

1. 电源，主要介绍GD32E50x系列电源管理、供电及复位功能的设计；
2. 时钟，主要介绍GD32E50x系列高、低速时钟的功能设计；
3. 启动配置，主要介绍GD32E50x系列BOOT配置及设计；
4. 典型外设模块，主要介绍GD32E50x系列主要功能模块硬件设计；
5. 下载调试电路，主要介绍GD32E50x系列推荐典型下载调试电路；
6. 参考电路及PCB Layout设计，主要介绍GD32E50x系列硬件电路设计及PCB Layout设计注意事项；
7. 封装说明，主要介绍GD32E50x系列所包含的封装形式及命名。

该文档也满足了基于GD32E50x系列产品应用开发中所用到的最小系统硬件资源。

表 1-1. 适用产品

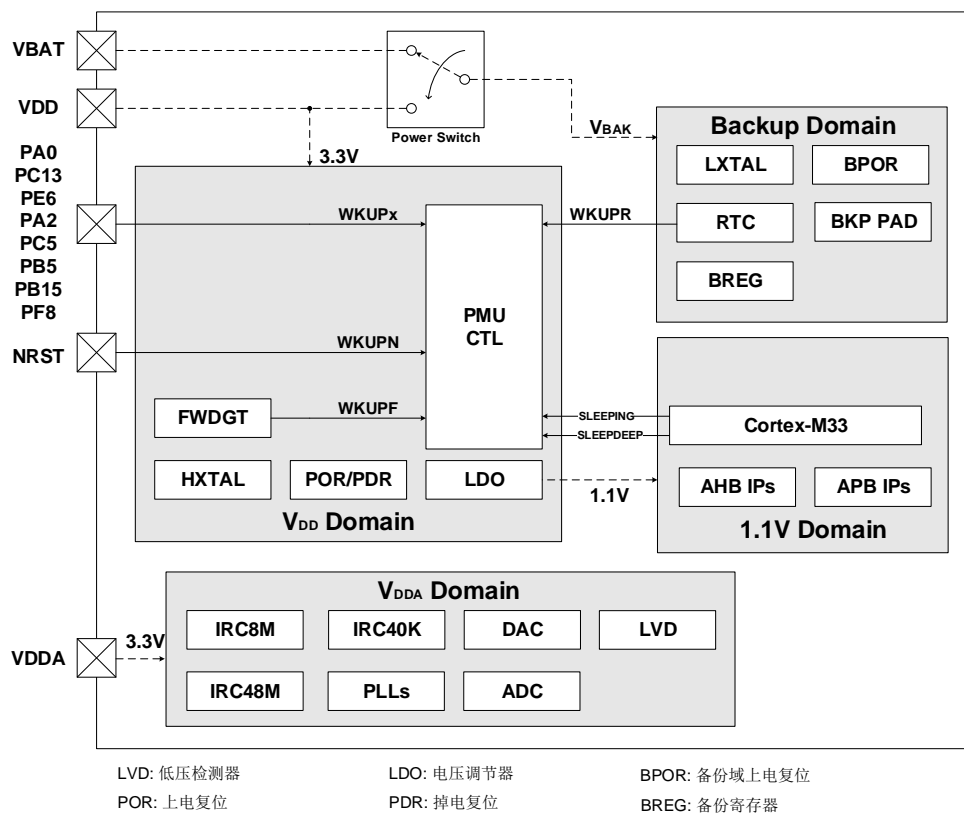
类型	型号
MCU	GD32E503xx 系列
	GD32E505xx 系列
	GD32E507xx 系列
	GD32E508xx 系列

2. 硬件设计

2.1. 电源

GD32E50X系列V_{DD}/V_{DDA}工作电压范围为1.71 V~3.6 V。如[图2-1. GD32E50x系列电源域概览](#)所示，GD32E50x系列设备有三个电源域，包括V_{DD}/V_{DDA}域，1.1 V域和备份域。V_{DD}/V_{DDA}域由电源直接供电，且在V_{DD}/V_{DDA}域中嵌入了一个LDO，用来为1.1 V域供电。备份域供电V_{BAK}可通过电源切换器Power Switch切换由V_{DD}或V_{BAT}供电，当V_{DD}电源关闭时，电源切换器可以将备份域的电切换到V_{BAT}引脚，此时备份域由V_{BAT}引脚（电池）供电。

图 2-1. GD32E50x 系列电源域概览



2.1.1. 备份域

备份域供电电压范围为1.71 V~3.6 V。为了确保备份寄存器和RTC正常工作，V_{DD}关闭时，V_{BAT}管脚可以连接至电池或者是其他备份电源供电，但当V_{DD}接入后，即使V_{BAT}管脚由外部电池等供电，V_{BAK}还是由V_{DD}供电。

如果外部没有电池供电的应用，建议将V_{BAT}引脚通过100nF电容对地后接至V_{DD}引脚上。

注意：如果V_{BAT}管脚悬空，MCU上电后Power Switch开关会将V_{BAK}切到V_{DD}上去，直接由内部V_{DD}供电给Backup域。

2.1.2. V_{DD}/V_{DDA} 电源域

V_{DD}/V_{DDA} 电源域为除了备份域之外的所有区域供电。为避免噪声， V_{DDA} 通过外部滤波电路连接至 V_{DD} ，相应的 V_{SSA} 通过特定电路连接至 V_{SS} 。如果 V_{DDA} 不等于 V_{DD} ，要求两者之间的压差不能超过 300mV（芯片内部 V_{DDA} 与 V_{DD} 通过背靠背二极管连接）。为避免噪声， V_{DDA} 可通过外部滤波电路连接至 V_{DD} ，相应的 V_{SSA} 通过特定电路（单点接地，通过 0Ω 电阻或者磁珠等）连接至 V_{SS} 。

为了提高ADC的转换精度，为 V_{DDA} 独立供电可使模拟电路达到更好的特性。在大封装芯片上含有专为ADC独立供电的 V_{REF} 引脚（ $1.71\text{ V} \leq V_{REFP} \leq V_{DDA}$, $V_{REFN} = V_{SSA}$ ）。

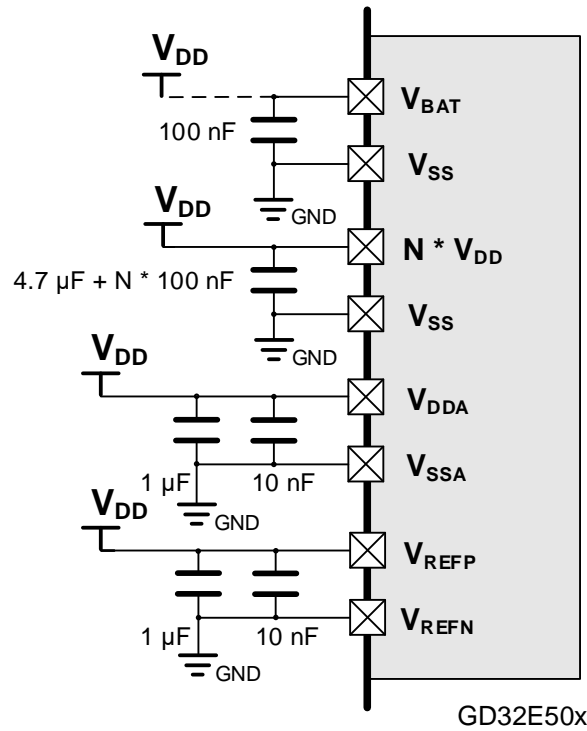
- 100及以上引脚封装芯片含有 V_{REFP} 和 V_{REFN} ， V_{REFP} 可以使用外部参考电源，也可以直连至 V_{DDA} ， V_{REFN} 必须连接到 V_{SSA} ；
- 64引脚封装芯片无 V_{REFP} 和 V_{REFN} ，其在内部直连至 V_{DDA} 和 V_{SSA} ，所有模拟模块均由 V_{DDA} 供电（包括ADC/DAC）。

2.1.3. 供电设计

系统需要稳定的电源，开发使用的时候有些重要事项需要注意：

- V_{DD} 脚必须外接电容（ $N \times 100\text{nF}$ 陶瓷电容+不小于4.7uF钽电容，至少一个 V_{DD} 需要接不小于4.7uF电容到GND，其他 V_{DD} 引脚接100nF）；
- V_{DDA} 脚必须外接电容（建议10nF+1uF陶瓷电容）；
- V_{BAT} 引脚必须连接至外部电池（1.71 V ~ 3.6 V），如果没有外部电池，建议将 V_{BAT} 引脚通过100nF电容对地后接至 V_{DD} 引脚上；
- V_{REFP} 引脚可以直连至 V_{DDA} ，如果 V_{REF} 上使用单独的外部参考电压（ $1.71\text{ V} \leq V_{REFP} \leq V_{DDA}$ ， $V_{REFN} = V_{SSA}$ ），必须在 V_{REFP} 引脚上也对地连接10nF+1uF陶瓷电容。

图 2-2. GD32E50x 系列推荐供电设计



注意:

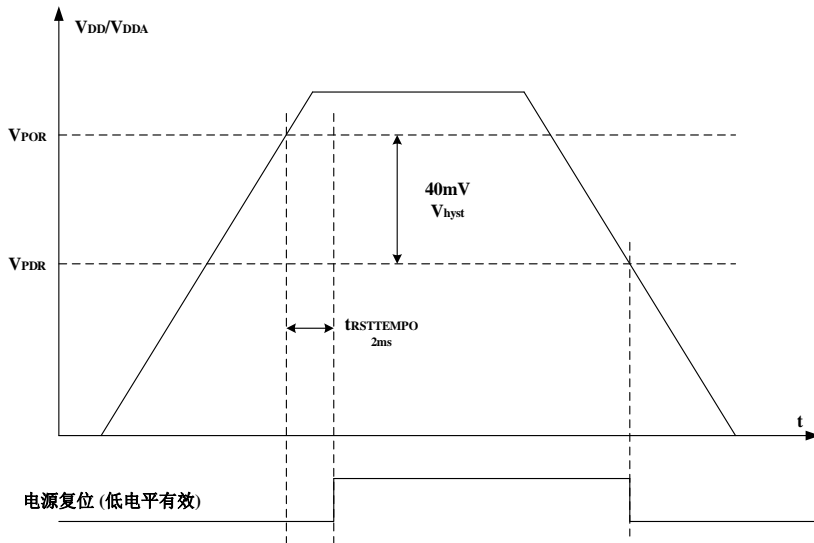
1. 所有去耦电容须靠近芯片对应 V_{DD} 、 V_{DDA} 、 V_{REFP} 、 V_{BAT} 引脚放置;
2. V_{BAT} 可选择直接连接至 V_{DD} , 也可以根据实际应用连接至外部电池等。

2.1.4. 复位及电源管理

GD32E50x系列复位控制包括三种复位: 电源复位、系统复位和备份域复位。电源复位为冷复位, 电源启动时复位除了备份域的所有系统。电源和系统复位的过程中, $NRST$ 会维持一个低电平, 直至复位结束。 MCU 无法执行起来时,可以通过示波器监测 $NRST$ 管脚波形来判断芯片是否有一直发生复位事件。

芯片内部集成 POR/ PDR (上电/掉电复位) 电路, 用于检测 V_{DD}/V_{DDA} 并在电压低于特定阈值时产生电源复位信号复位除备份域之外的整个芯片。 V_{POR} 表示上电复位的阈值电压, 典型值约为 $1.56V$, V_{PDR} 表示掉电复位的阈值电压, 典型值约为 $1.52V$ 。迟滞电压 V_{hyst} 值约为 $40mV$ 。

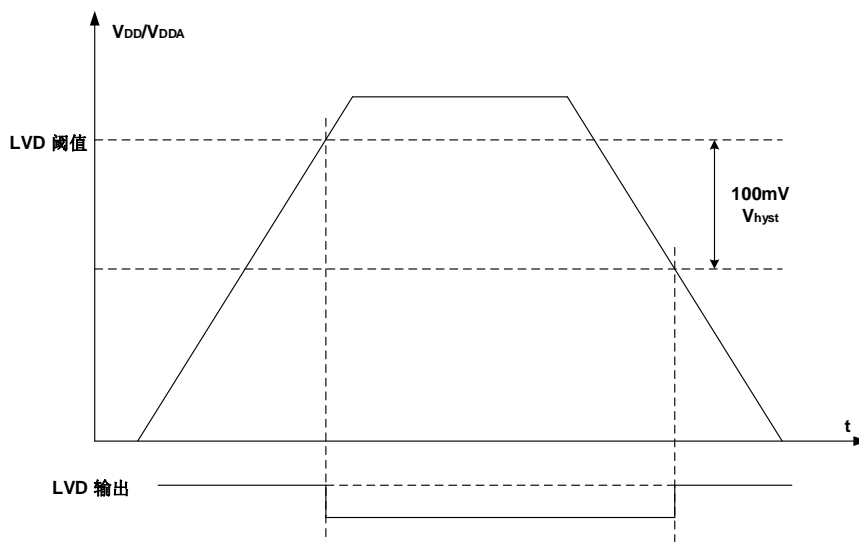
图 2-3. 上电/掉电复位波形图



LVD 的功能是检测 V_{DD}/V_{DDA} 供电电压是否低于低电压检测阈值（2.2V ~ 2.9V），该阈值由电源控制寄存器(PMU_CTL0)中的 LVDT[2:0]位进行配置。LVD 通过 LVDEN 置位使能，位于电源状态寄存器(PMU_CS0)中的 LVDF 位表示低电压事件是否出现，该事件连接至 EXTI 的第 16 线，用户可以通过配置 EXTI 的第 16 线产生相应的中断（LVD 中断信号依赖于 EXTI 第 16 线的上升或下降沿配置）。迟滞电压 V_{hyst} 值为 100mV。

LVD 应用场合：当 MCU 电源受到外部干扰时，如发生电压跌落，我们可通过 LVD 设置低电压检测阈值（该阈值大于 PDR 值），一旦跌落到该阈值，LVD 中断被打开，可在中断函数里设置软复位等操作，避免 MCU 发生其他异常。

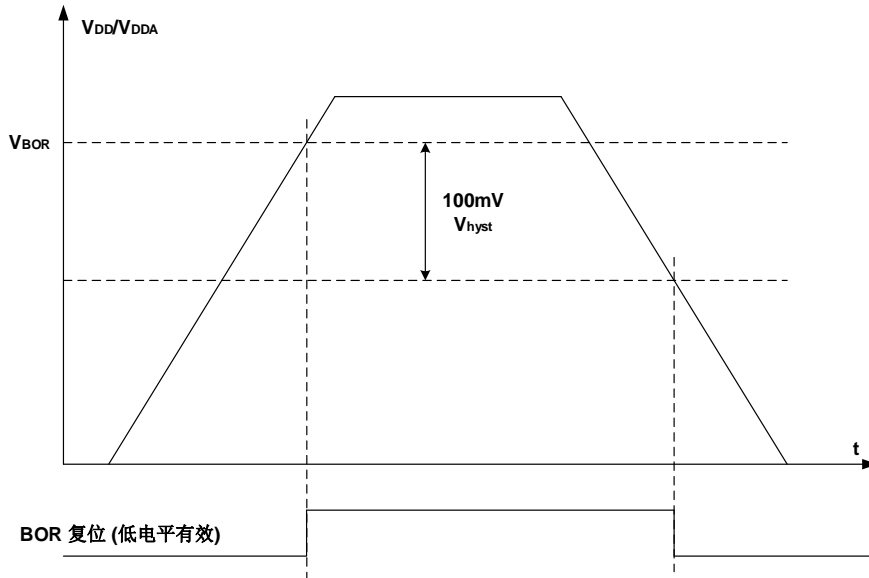
图 2-4. LVD 阈值波形图



GD32E50x 内部集成了 BOR 电路，BOR 电路检测 V_{DD}/V_{DDA} 并在电压低于选项字节的 BOR_TH 定义的阈值且该阈值不为 0b11（BOR_TH=0b11，BOR 功能关闭）时产生电源复位信号复位除备份域之外的整个芯片。不管选项字节 BOR_TH 的值是否为 0b11，POR/PDR（上电/掉电复位）电路会一直处于检测状态。[图 2-5. BOR 波形图](#)显示了供电电压和 BOR 复位信

号之间的关系。 V_{BOR} 表示 BOR 复位的阈值电压，该值在选项字节 BOR_TH 中定义。迟滞电压 V_{hyst} 值为 100mV。

图 2-5. BOR 波形图



另外，MCU复位源可以通过查询寄存器RCU_RSTSCK (0x40021024)来判断，该寄存器只有上电复位才能清除标志位，所以在使用过程中，获取到复位源后，可通过RSTFC控制位清除复位标志，那样发生看门狗复位或其他复位事件时，才能较准确在RCU_RSTSCK寄存器中体现出来：

图 2-6. RCU_RSTSCK 寄存器

31 _r	30 _r	29 _r	28 _r	27 _r	26 _r	25 _r	24 _r	23 _r	22 _r	21 _r	20 _r	19 _r	18 _r	17 _r	16 _r
LP _r	WWDGT _r	FWDGT _r	SW _r	POR _r	EP _r	BORRSTF _r	RSTFC _r	保留 _r							
RSTF _r	RSTF _r	RSTF _r	RSTF _r	RSTF _r	RSTF _r	RSTF _r	RW _r								
15 _r	14 _r	13 _r	12 _r	11 _r	10 _r	9 _r	8 _r	7 _r	6 _r	5 _r	4 _r	3 _r	2 _r	1 _r	0 _r
保留 _r													IRC40K _r	IRC40KEN _r	
													STB _r	RW _r	

MCU内部集成有上电/掉电复位电路，在设计外部复位电路时，NRST管脚必须要放置一个电容（典型值100nF），确保NRST管脚上电能产生一个至少20us的低脉冲延时，完成有效上电复位过程。

图 2-7. 系统复位电路

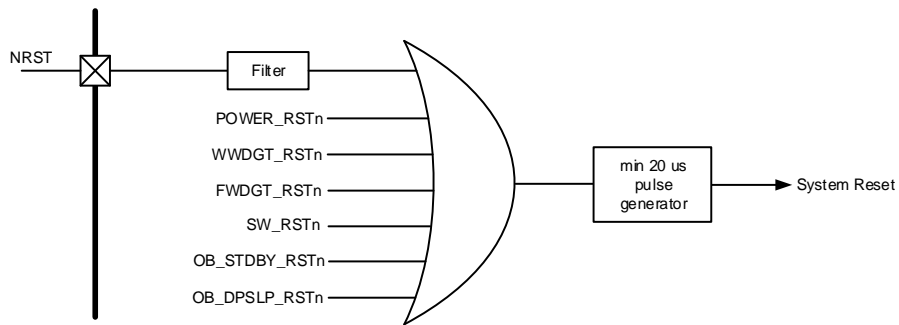
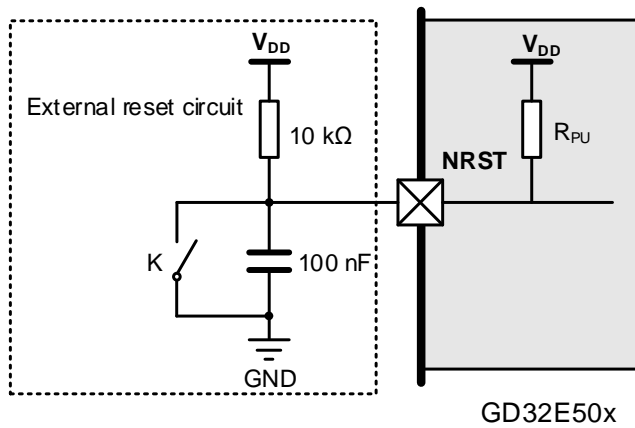


图 2-8. 推荐外部复位电路



注意：

1. 内部上拉电阻 $R_{PU} = 40k\Omega$ ，建议接外部上拉电阻 $10k\Omega$ ，以使得电压干扰不会导致芯片工作异常；
2. 若考虑静电等影响，可在 NRST 管脚处放置 ESD 保护二极管；
3. 尽管 MCU 内部有硬件 POR 电路，仍推荐外部加 NRST 复位阻容电路；
4. 如果 MCU 启动异常（由于电压波动等），可适当增加 NRST 对地电容值，拉长 MCU 复位完成时间，避开上电异常时序区。

2.2. 时钟

GD32E50x 系列内部有完备的时钟系统，可以根据不同的应用场合，选择合适的时钟源，时钟主要特征：

- 4-32MHz 外部高速晶体振荡器（HXTAL）；
- 8MHz 内部高速 RC 振荡器（IRC8M）；
- 32.768KHz 外部低速晶体振荡器（LXTAL）；
- 48 MHz 内部高速 RC 振荡器（IRC48M）；
- 40kHz 内部低速 RC 振荡器（IRC40K）；
- PLL 时钟源可选 HXTAL、IRC8M 或 IRC48M；
- HXTAL 时钟可监控。

GD32E503xx 的闪存存储器容量 256K 到 512K 字节之间的产品称作高密度产品 (GD32E50X_HD)。

GD32E505xx、GD32E507xx、GD32E508xx 微控制器称作互联型产品 (GD32E50X_CL)。

图 2-9. GD32E503xx 时钟树

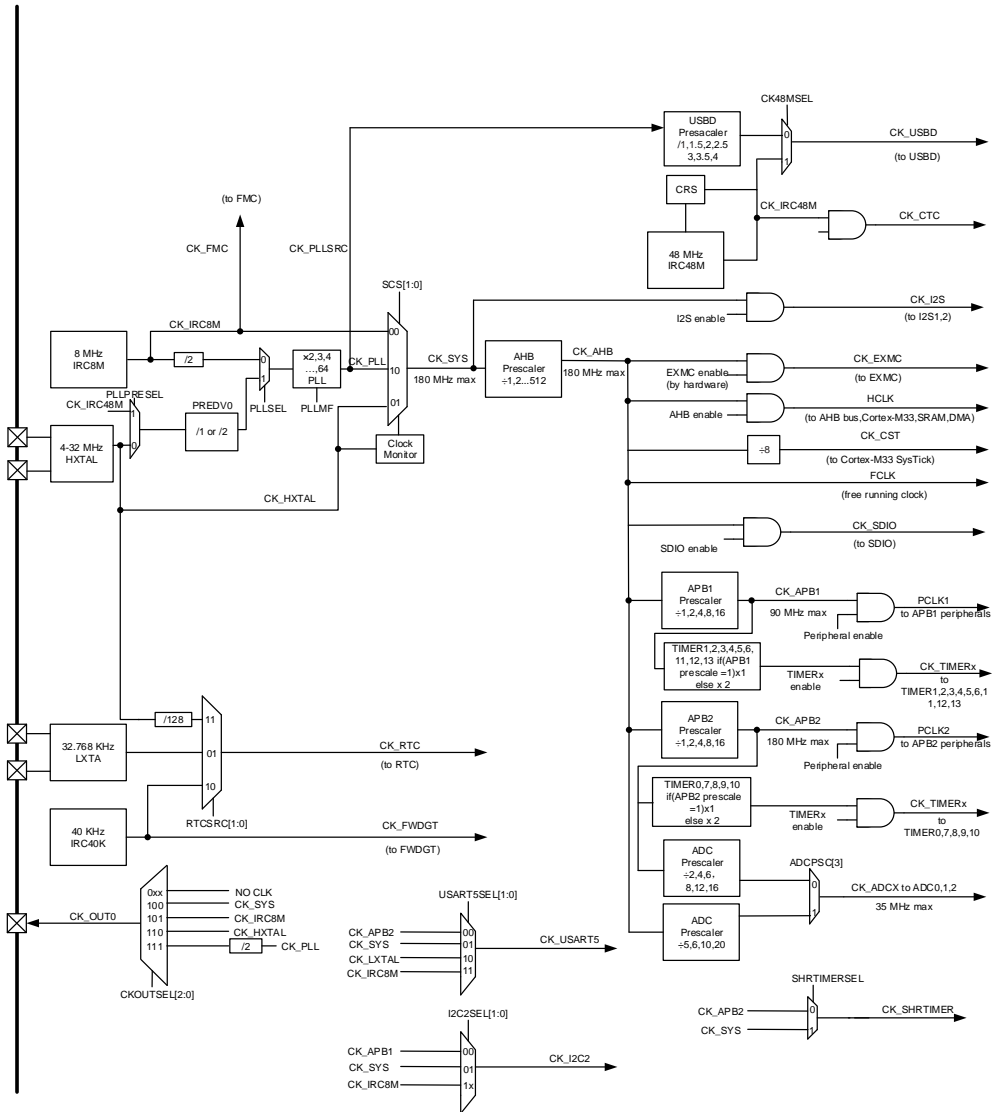
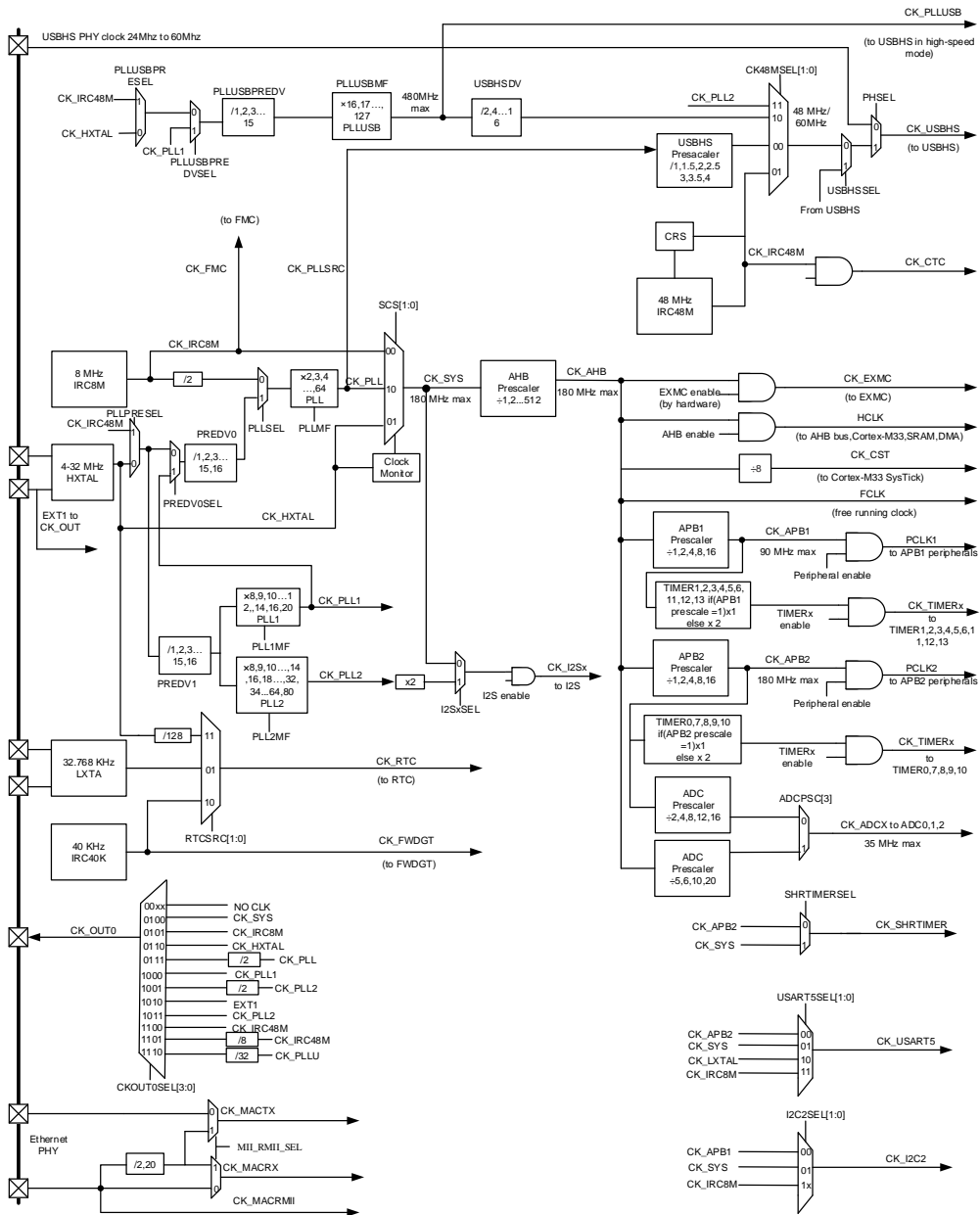


图2-10. GD32E505xx/GD32E507xx/GD32E508xx时钟树



2.2.1. 外部高速晶体振荡时钟（HXTAL）

4-32MHz外部高速晶体振荡器（无源晶体）可为系统提供精准的主时钟。该特定频率的晶体必须靠近HXTAL引脚放置，和晶体连接的外部电阻和匹配电容必须根据所选择的振荡器参数来调整。HXTAL还可以使用旁路输入的模式来输入时钟源（1-50MHz有源晶振等）。旁路输入时，信号接至OSC_IN，OSC_OUT保持悬空状态，软件上需要打开HXTAL的Bypass功能（使能RCU_CTL里的HXTALBPS位）。

图2-11. HXTAL外部晶体电路

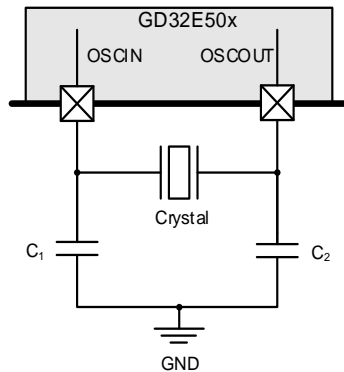
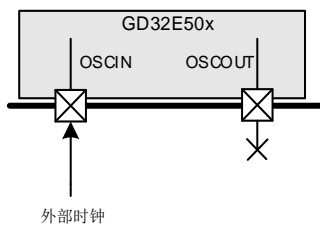


图2-12. HXTAL外部时钟电路

**注意：**

1. 使用旁路输入时，信号从OSC_IN输入，OSC_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，典型值为10pF。推荐选用外部高速晶体时，尽量选择晶体负载电容在20pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为20pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. C_S 为PCB板走线及IC pin上的寄生电容，当晶体离MCU越近， C_S 越小，反之越大。所以，在实际应用中，当晶体离MCU较远导致晶体工作异常时，可适当减小外部匹配电容；
4. 使用外部高速晶体时，建议在晶体两端并联1MΩ电阻，以使得晶体更容易起振；
5. 精度：外部有源晶振 > 外部无源晶体 > 内部IRC8M；
6. 正常使用有源晶振，需要打开Bypass，此时要求高电平不低于0.7VDD，低电平不大于0.3VDD。如不打开Bypass，对有源晶振的振幅幅值要求会大大降低；
7. 谐振器与MCU时钟引脚连接的走线可能会应为PCB布局布线的空间限制导致连接到OSC_OUT和OSC_IN两个引脚的走线长度不一致。这会使两条PCB走线引入的杂散电容不一致，从而导致谐振器两边的负载电容在取值时不能相等，需要存在差值以匹配实际的PCB板。对于这种情况建议联系谐振器厂家测算实际的数值。

2.2.2. 外部低速晶体振荡时钟（LXTAL）

LXTAL晶体是一个32.768KHz的低速外部晶体（无源晶体），能够为RTC提供一个低功耗且高精度的时钟源。MCU的RTC模块相当于一个计数器，精度会受到晶体性能、匹配电容以及PCB

材质等影响，如果想要获取到较好精度，在电路设计时，建议将PC13接至定时器输入捕获管脚，通过TIMER来对LXTAL进行校准，根据校准情况设定RTC的分频寄存器。LXTAL也可以支持旁路时钟输入（有源晶振等），可以通过配置RCU_BDCTL里面的LXTALBPS位来使能。

图2-13. LXTAL外部晶体电路

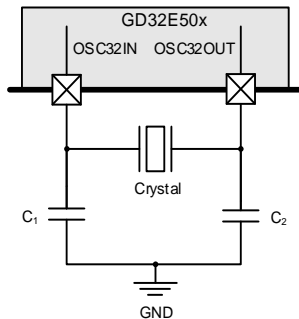
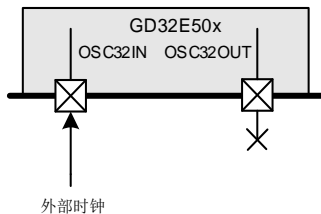


图2-14. LXTAL外部时钟电路



注意：

1. 使用旁路输入时，信号从OSC32_IN输入，OSC32_OUT保持悬空状态；
2. 关于外部匹配电容大小可参考公式： $C_1 = C_2 = 2 * (C_{LOAD} - C_S)$ ，其中 C_S 为PCB和MCU引脚的杂散电容，经验值在2pF-7pF之间，建议以5pF为参考值计算。推荐选用外部晶体时，尽量选择晶体负载电容在10pF左右的，这样外部所接匹配电容 C_1 和 C_2 电容值为10pF即可，且PCB Layout时尽可能近地靠近晶振引脚；
3. 当RTC选择IRC40K作为时钟源，并且使用 V_{BAT} 外部独立供电时，如果此时MCU掉电，RTC会停止计数，重新上电后，RTC会接着之前的计数值继续累加计时。若应用需要使用 V_{BAT} 给RTC供电时，RTC仍能正常计时，RTC须选择LXTAL作为时钟源。

2.2.3. 时钟输出能力（CKOUT）

GD32E503xx系列MCU，可以通过配置时钟寄存器RCU_CFG0的CKOUT0SEL[2:0]位选择不同的时钟信号输出，相应的GPIO引脚PA8需要配置为复用功能来输出被选择的信号。如[表2-1. CKOUT0SEL\[2:0\]控制位](#)所示。

表 2-1. CKOUT0SEL[2:0]控制位

CKOUT0SEL[2:0]	时钟源
0xx	无时钟输出
100	CK_SYS
101	CK_IRC8M
110	CK_HXTAL
111	CK_PLL/2

GD32E505xx / GD32E507xx / GD32E508xx系列MCU，可以通过配置时钟寄存器RCU_CFG0的CKOUT0SEL[3:0]位选择不同的时钟信号输出，相应的GPIO引脚PA8需要配置为复用功能来输出被选择的信号。如[表2-2. CKOUT0SEL\[3:0\]控制位](#)所示：

表 2-2. CKOUT0SEL[3:0]控制位

时钟输出 0 的时钟源选择位域	时钟源
00xx	NO CLK
0100	CK_SYS
0101	CK_IRC8M
0110	CK_HXTAL
0111	CK_PLL/2
1000	CK_PLL1
1001	CK_PLL2/2
1010	EXT1
1011	CK_PLL2
1100	CK_IRC48M
1101	CK_IRC48M/8
1110	CK_PLLUSB/32

2.2.4. HXTAL 时钟监视器（CKM）

设置时钟控制寄存器RCU_CTL中的HXTAL时钟监视使能位CKMEN，HXTAL可以使能时钟监视功能。该功能需要在HXTAL启动延迟后使能，在HXTAL停止后禁止。一旦HXTAL故障，HXTAL将自动被禁止，时钟中断寄存器RCU_INT中的HXTAL时钟阻塞标志位CKMIF被置位，产生HXTAL故障事件。这个故障引发的中断和Cortex-M33的不可屏蔽中断NMI相连。

注意：如果HXTAL被选作系统时钟、PLL或RTC时钟源，HXTAL故障将促使选择IRC8M为系统时钟源，PLL将被自动禁止，RTC的时钟源需要重新配置。

2.2.5. PLL 展频（SSCG）

为了减小EMI干扰，GD32E50x PLL集成时钟展频功能（只适用与主PLL），有效降低在主时钟频点及其奇次谐波能量。根据设置的调制频率 f_{mod} 与调制峰值 m_{damp} （范围参照[表2-3. 锁相环 spread spectrum clock generation \(SSCG\)](#)），通过公式（2-1）与公式（2-2），计算出MODCNT与MODSTEP，填入PLL时钟扩频控制寄存器(RCU_PLLSSCTL)中，注意MODCNT与MODSTEP的乘积不能大于 $2^{15}-1$ ，如果出现大于的情况，则需要降低调制峰值 M_{damp} 重新计算。

表 2-3. 锁相环 spread spectrum clock generation (SSCG) 特性

名称	参数	条件	最小值	典型值	最大值	单位
f _{mod}	调制频率	—	—	—	10	kHz
mdamp	峰值调幅	—	—	—	2	%
MODCNT* MODSTEP	—	—	—	—	2 ¹⁵ -1	—

MODCNT与MODSTEP通过以下算式得出：

$$\text{MODCNT} = \text{round}(f_{\text{PLLIN}}/4/f_{\text{mod}}) \quad (2-1)$$

$$\text{MODSTEP} = \text{round}(\text{mdamp} * \text{PLLN} * 2^{14} / (\text{MODCNT} * 100)) \quad (2-2)$$

f_{PLLIN}表示PLL输入时钟频率，f_{mod}表示扩频调制频率，mdamp表示扩频调制振幅（按百分比表示），PLLN 表示PLL时钟频率倍频因子

例如PLL参考时钟源HXTAL=8MHz，预分频PLLM=4，则f_{PLLIN}=2MHz，设置PLLN=200（此时VCO频率400MHz，二分频得到系统时钟200MHz），展频调制频率10KHz，调制幅度2%，则计算得到MODCNT=50，MODSTEP=1311，此时MODCNT*MODCNT>2¹⁵-1，无法达到。降低调制幅度为1%，则MODCNT=50，MODSTEP=655，此时MODCNT*MODCNT=32750<2¹⁵-1满足要求。

根据寄存器RCU_PLLSSCTL中SS_TYPE的设置，可选择两种扩频调制类型，分别为中心扩频和向下扩频，PLL输出频率会按如下波形变化。

图 2-15. 中心扩频方式展频

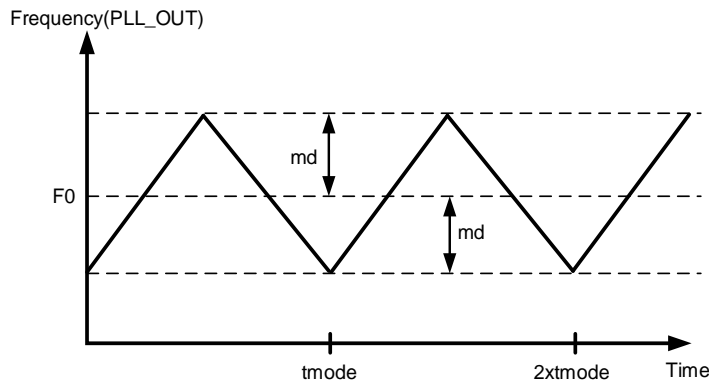
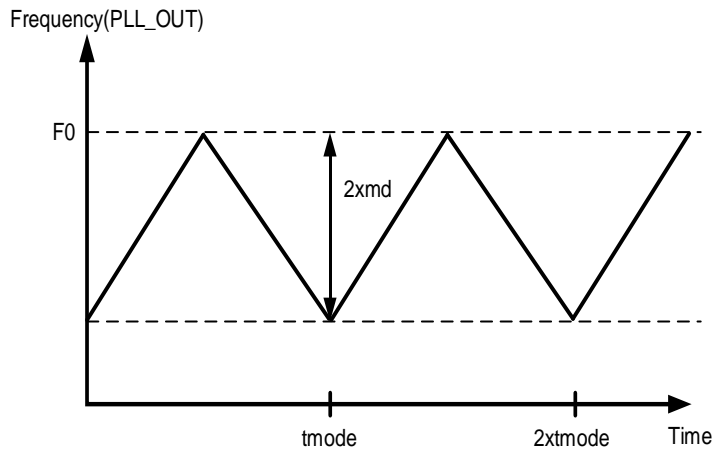


图 2-16. 向下扩频方式展频



2.2.6. 电压控制

深度睡眠模式电压寄存器（RCU_DSV）中的DSL PVS[2:0]位域可以控制1.1V域在深度睡眠模式下的电压。

表2-4. 深度睡眠模式下1.1V域电压选择

DSL PVS[2:0]	深度睡眠模式电压(V)
000	1.0
001	0.9
010	0.8
011	0.7

2.3. 启动配置

GD32E50x系列提供三种启动方式，可以通过BOOT0和BOOT1来进行相关的配置。用户可以配置BOOT0和BOOT1，进行上电复位或系统复位，从而确定启动选项。[表2-6. BOOT模式](#)为3种启动模式。电路设计时，运行用户程序，BOOT0不能悬空，建议通过一个10kΩ电阻到GND。[图2-17. 推荐BOOT电路设计](#)为推荐的Boot引脚硬件设计；运行System Memory进行程序更新，需要将BOOT0接高，BOOT1接低，更新完成后，再将BOOT0接低上电才能运行用户程序；SRAM执行程序多用于调试状态下。

嵌入式的Bootloader存放在系统存储空间，用于对FLASH存储器进行重新编程。在GD32E50x设备中，Bootloader可以通过一个或两个USART端口、标准USB端口和外界交互。具体情况如下表所示。

表2-5. Bootloader交互接口

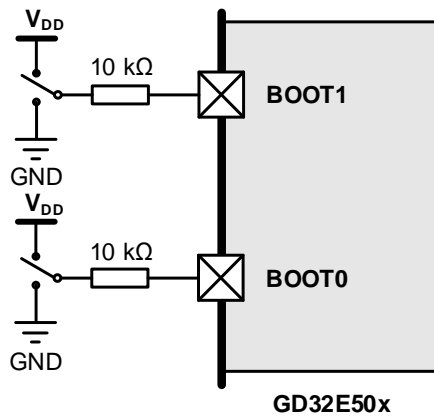
产品线	产品	支持外设
HD	GD32E503xx	USART0(PA9 PA10)
CL	GD32E505xx	USART0(PA9 PA10)

		USART1(PD5 PD6) USB(PA9 PA11 PA12)
	GD32E507xx	USART0(PA9 PA10) USART1(PD5 PD6) USB(PA9 PA11 PA12)
	GD32E508xx	USART0(PA9 PA10) USART1(PD5 PD6) USB(PA9 PA11 PA12)

表 2-6. BOOT 模式

BOOT 模式	BOOT1	BOOT0
主 Flash 存储器	X	0
系统存储器	0	1
片上 SRAM	1	1

图2-17. 推荐BOOT电路设计



注意:

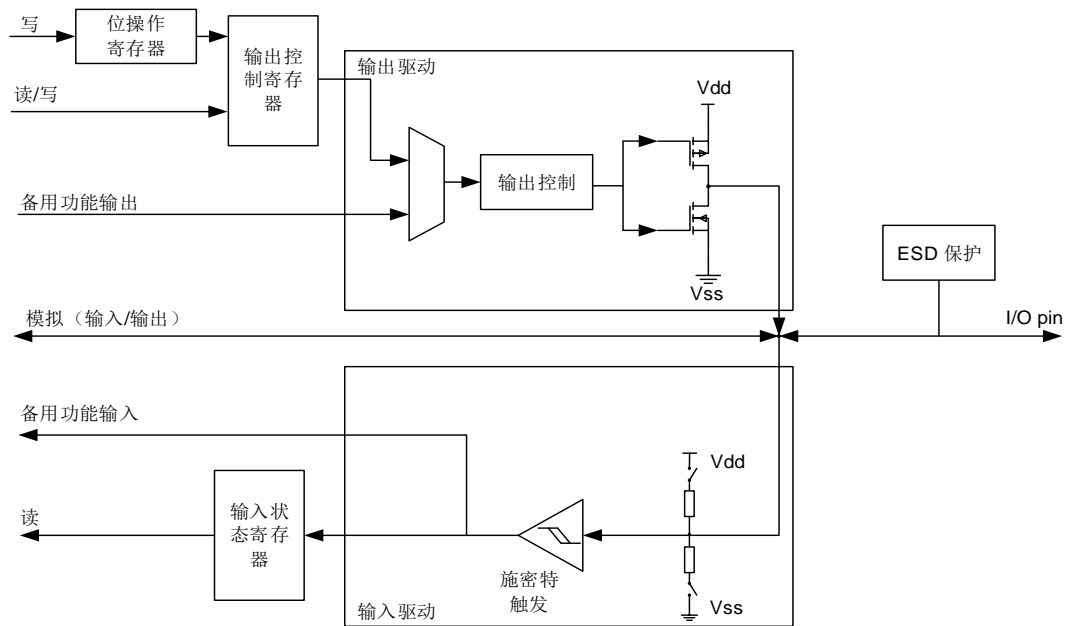
1. MCU运行后，如果改变BOOT状态，须系统复位后才可生效；
2. 一旦BOOT1引脚状态被采样到，它可以被释放用于其他用途。

2.4. 典型外设模块

2.4.1. GPIO 电路

最大封装的GPIO接口包括7组通用输入/输出端口，每组端口提供最多16个通用输入/输出引脚，分别为PA0 ~ PA15, PB0 ~ PB15, PC0 ~ PC15, PD0 ~ PD15, PE0 ~ PE15, PF0 ~ PF15和PG0 ~ PG15，每个引脚都可以通过寄存器独立配置，GPIO口的基本结构详见下图：

图 2-18. 标准 IO 的基本结构

**注意：**

1. IO口分为5V耐受和非5V耐受，使用时注意区分IO口耐压情况，详见Datasheet；
2. 非5V耐受IO，外接超过V_{DD}的电压时，可能会产生灌电流；
3. 5V耐受的IO口直接5V时，建议IO口配置为开漏模式，外部上拉来工作；
4. IO口上电复位后，默认模式为浮空输入，电平特性不确定，为了获得较一致的功耗，建议所有IO口配置成模拟输入然后再根据应用需求来修改为相应的模式（芯片内部没有引出的端口也需要配置）；
5. 为提高EMC性能，未使用的IO口引脚建议硬件上拉或者是下拉；
6. PC13、PC14、PC15这三个IO口的驱动能力偏弱，输出电流能力有限（3mA左右），配置为输出模式时，其工作速度不能超过2MHz（最大负载为30pF）；
7. 多组中同一标号PIN仅可配置一个IO口为外部中断，例：PA0、PB0、PC0仅支持三个中的其中一个IO口产生外部中断，不支持三个同为外部中断模式。

2.4.2. USART 电路

通用同步异步收发器(USART)提供了一个灵活方便的串行数据交换接口，数据帧可以通过全双工或半双工，同步或异步的方式进行传输。USART提供了可编程的波特率发生器，能对系统时钟进行分频产生USART发送和接收所需的特定频率。

USART不仅支持标准的异步收发模式，还实现了一些其他类型的串行数据交换模式，如红外编码规范，SIR，智能卡协议，LIN，以及同步单双工模式。它还支持多处理器通信和Modem流控操作(CTS/RTS)。数据帧支持从LSB或者MSB开始传输。数据位的极性和TX/RX引脚都可以灵活配置。

USART支持DMA功能，以实现高速率的数据通信。

表 2-7. USART 重要引脚描述

引脚	类型	描述
RX	输入	接收数据
TX	输出 I/O (单线模式/智能卡模式)	发送数据。当 USART 使能后, 若无数据发送, 默认为高电平
CK	输出	用于同步通信的串行时钟信号
nCTS	输入	硬件流控模式发送使能信号
nRTS	输出	硬件流控模式发送请求信号

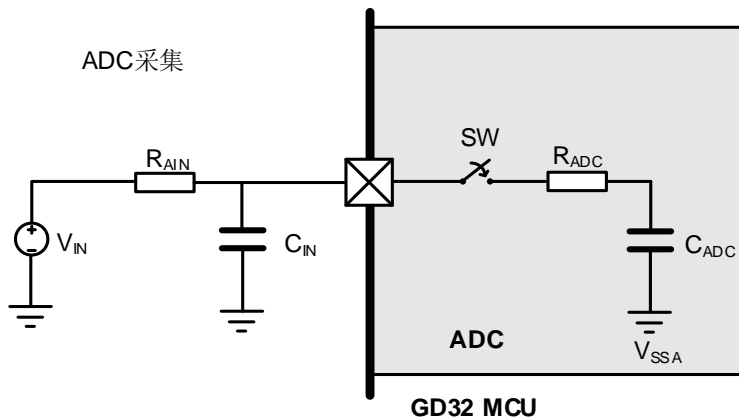
2.4.3. ADC 电路

GD32E50x系列内部集成了一个12位的SAR ADC, 它有多达18个通道, 可测量16个外部和2个内部信号源。内部信号为温度传感器通道 (ADC0_CH16), 内部参考电压输入通道 (ADC0_CH17)。温度传感器体现的是温度的变化, 并不适合测量绝对温度。如果需要测量精确的温度, 必须使用一个外置的温度传感器。内部参考电压VREFINT提供了一个稳定的电压输出 (1.1V) 给到ADC, 并内部连接至ADC0_IN17。

如果在使用过程中, ADC采集外部输入电压, 若采样数据波动较大, 可能是由于电源波动引起的干扰, 可通过采样内部VREFINT进行校准, 反推外部采样电压。

设计ADC电路时, 建议在ADC输入管脚处放置个小电容, 建议放置一个500pF的小电容即可。ADC供电要求: 一般供电电压为3.3V。当电压为1.62V到2.4V, ADC最大时钟频率可达14MHz。当电压为2.4V到3.6V, ADC最大时钟频率可达35MHz。

图 2-19. ADC 采集电路设计



$f_{ADC} = 35\text{MHz}$ 时, 输入阻抗和采样周期关系如下, 为了获得较好的转换结果, 使用过程中, 建议尽量降低 f_{ADC} 的频率, 采样周期尽量选较大的值, 外部电路设计时也尽量减小输入阻抗, 必要时采用运放跟随来降低输入阻抗。

表 2-8. $f_{ADC}=35\text{MHz}$ 采样周期与外部输入阻抗关系

T_s (cycles)	t_s (μs)	$R_{AIN\ max}$ ($\text{k}\Omega$)
1.5	0.043	0.6
7.5	0.21	5.0
13.5	0.39	9.4

T _s (cycles)	t _s (μs)	R _{AIN max} (kΩ)
28.5	0.81	20.5
41.5	1.19	30.0
55.5	1.59	40.0
71.5	2.04	52.0
239.5	6.84	175.8

2.4.4. DAC 电路

GD32E50x的数字/模拟转换器可以将12位的数字数据转换为外部引脚上的电压输出。数据可以采用8位或12位模式，左对齐或右对齐模式。当使能了外部触发，DMA可被用于更新输入端数字数据。在输出电压时，可以利用DAC输出缓冲区来获得更高的驱动能力。

两个DAC可以独立或并发工作。

表 2-9. DAC 相关引脚描述

名称	描述	信号类型
V _{DDA}	模拟电源	输入，模拟电源
V _{SSA}	模拟电源地	输入，模拟电源地
V _{REFP}	DAC 正参考电压， 2.4V ≤ V _{REFP} ≤ V _{DDA}	输入，模拟正参考电压
DAC_OUTx	DACx 模拟输出	模拟输出信号

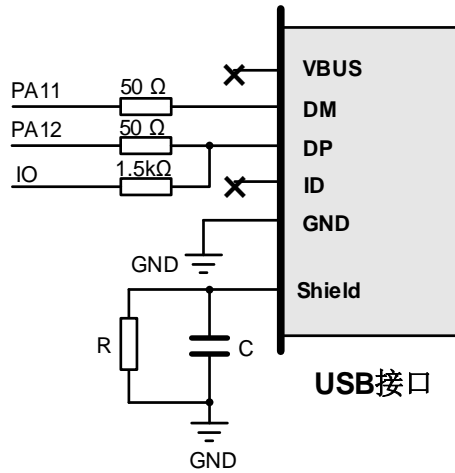
在使能DAC模块前，GPIO口（PA4对应DAC0，PA5对应DAC1）应配置为模拟模式。

2.4.5. USB 电路

GD32E505xx/ GD32E507xx/ GD32E508xx 互联型MCU拥有内嵌的USB接口，其为一个USBFS模块。USB协议要求时钟精度不低于500ppm，内部时钟可能无法达到这样的精度，所以建议使用USB功能时使用外部晶体或有源晶振做为USB模块时钟源。

GD32E503xx只能设计为USB device。在设计电路时，需要为DP数据线设计一个可控的1.5K的上拉电阻。[图2-20. 推荐USB-Device参考电路](#)为推荐的USB-Device参考电路。为了提升USB的ESD性能，USB外壳建议设计阻容放电隔离电路。

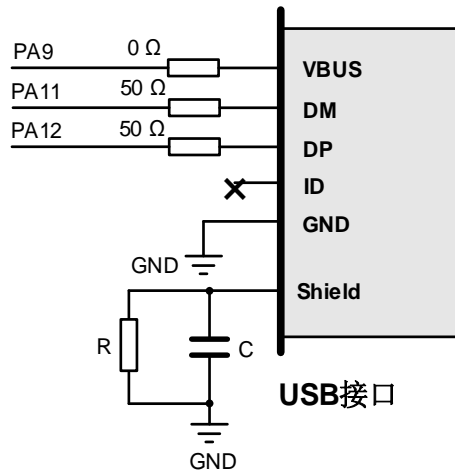
图 2-20. 推荐 USB-Device 参考电路



推荐：R = 1MΩ，C = 4700pF。

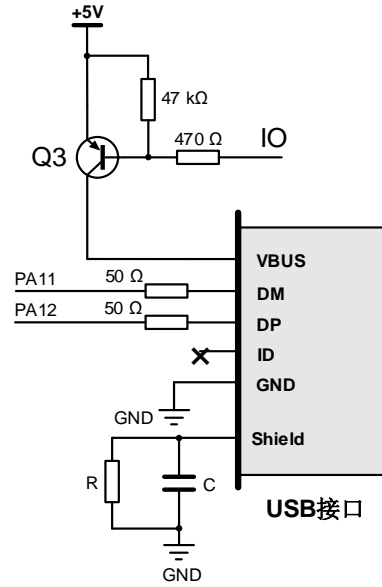
GD32F505xx / GD32F507xx / GD32F508xx 互联型 MCU 的 USB 模块既可设计为 USB device，又可设计为 USB host。设计为 Device 时推荐的电路如 [图2-21. 推荐USB-Device \(USBFS\) 参考电路](#) 所示；为了提升 USB 的 ESD 性能，USB 外壳建议设计阻容放电隔离电路。设计为 host 模式时，推荐电路为 [图2-22. 推荐USB-Host 参考电路](#)。

图 2-21. 推荐 USB-Device (USBFS) 参考电路



推荐：R = 1MΩ，C = 4700pF。

图 2-22. 推荐 USB-Host 参考电路

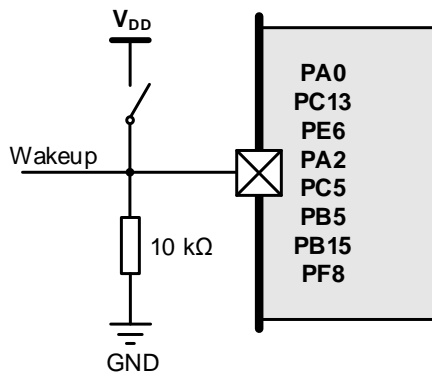


推荐：R = 1MΩ，C = 4700pF。

2.4.6. Standby 模式唤醒电路

GD32E50x 系列支持五种低功耗模式，分别为睡眠模式、深度睡眠模式，深度睡眠模式 1，深度睡眠模式 2 和待机模式，其中功耗最低的是待机模式，此低功耗模式需要的唤醒时间也是最长的。从 Standby 模式唤醒可通过 WKUP 引脚上升沿唤醒，此时无需配置对应 GPIO，仅需配置 PMU_CS 寄存器里的 WUPEN 位即可。WKUP 唤醒引脚参考电路设计如下：

图 2-23. Standby 外部唤醒引脚电路设计



注意：该模式在电路设计时需要注意，WKUP引脚和VDD间如果有串电阻，可能会增加额外的功耗。

2.5. 下载调试电路

GD32E50x系列内核支持JTAG调试接口和SWD接口。JTAG接口标准为20针接口，其中5根信

号接口，SWD接口标准为5针接口，其中2根信号接口。

注意：复位后，调试相关端口为输入PU/PD模式，其中：

- PA15: JTDI为上拉模式；
- PA14: JTCK / SWCLK为下拉模式；
- PA13: JTMS / SWDIO为上拉模式；
- PB4: NJTRST为上拉模式；
- PB3: JTDO为浮空模式。

表 2-10. JTAG 下载调试接口分配

备用功能	GPIO 端口
JTMS	PA13
JTCK	PA14
JTDI	PA15
JTDO	PB3
NJTRST	PB4

图 2-24. 推荐 JTAG 接线参考设计

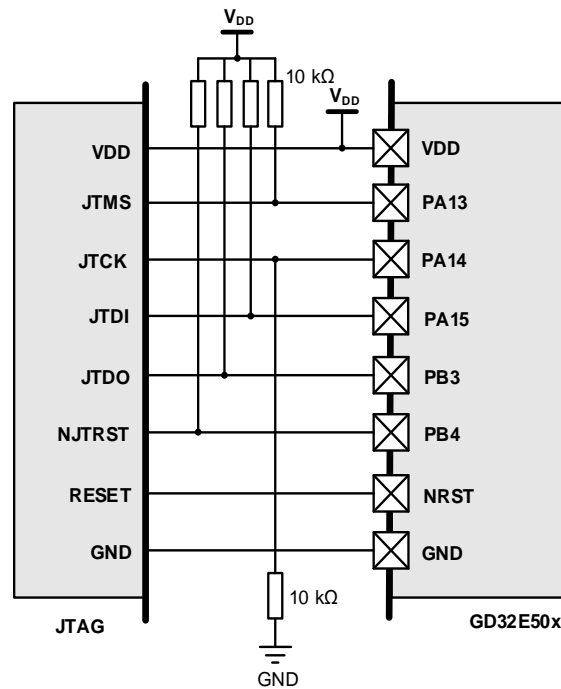
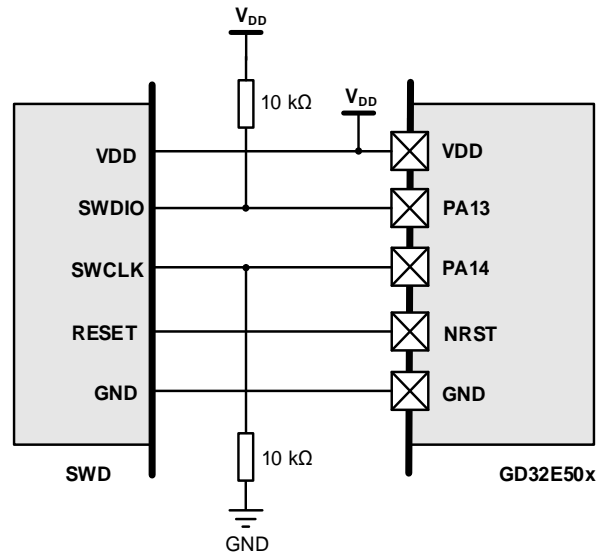


表 2-11. SWD 下载调试接口分配

备用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

图 2-25. SWD 接线参考设计

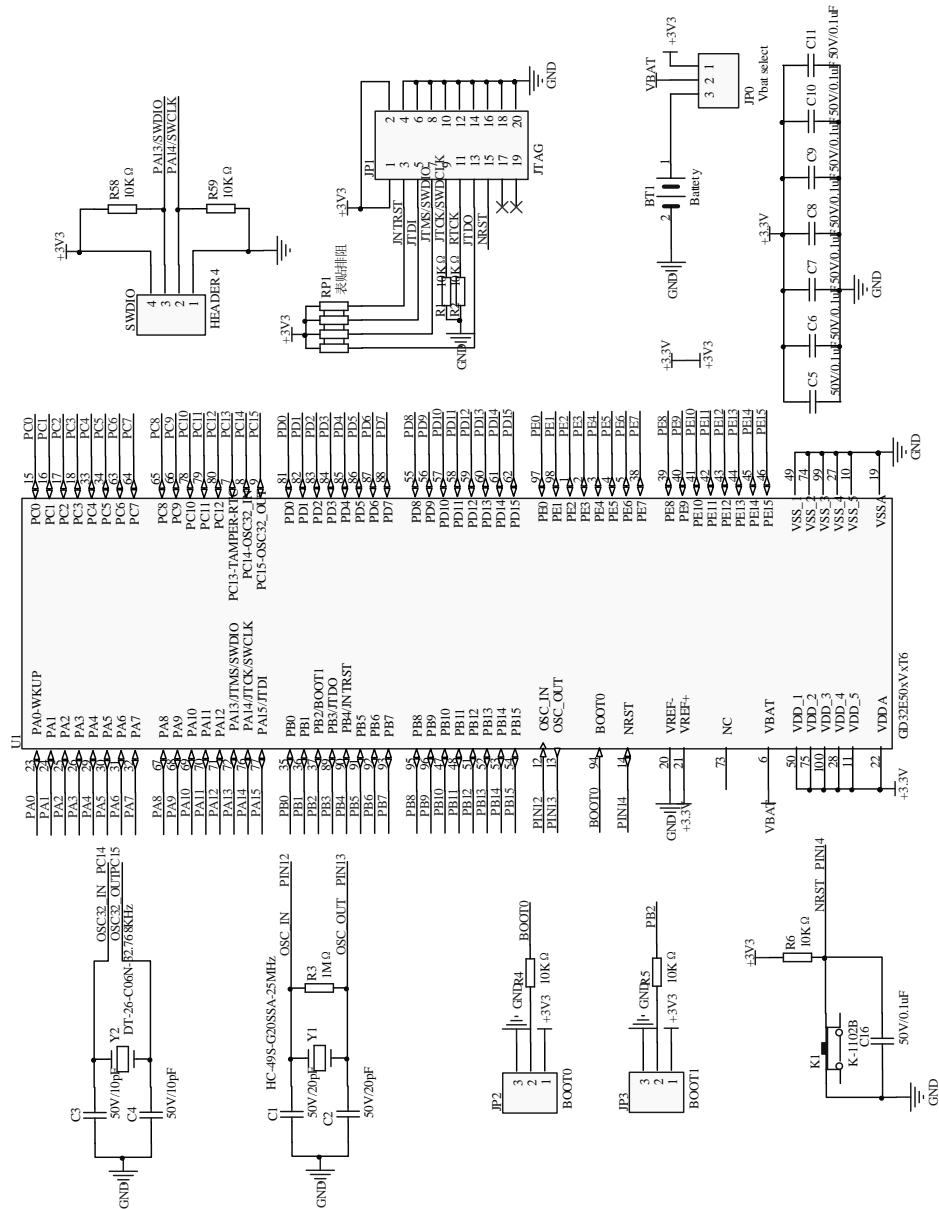


有以下几种方式可以提高SWD下载调试通信的可靠性，增强下载调试的抗干扰能力。

1. 缩短SWD两个信号线长度，最好15cm以内；
2. 将SWD两根线和GND线编个麻花，缠在一起；
3. 在SWD两根信号线对地各并几十pF小电容；
4. SWD两根信号线任意IO串入100Ω~1KΩ电阻。

2.6. 参考原理图设计

图 2-26. GD32E50x 推荐参考原理图设计



3. PCB Layout 设计

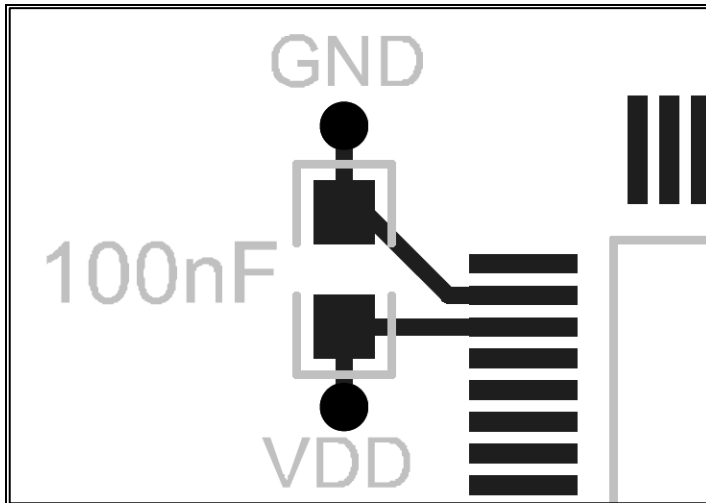
为增强MCU的功能稳定性及EMC性能，不仅需要考虑到配套外围元器件性能，在PCB Layout上也至关重要。另外，在条件允许的情况下，尽量选用有独立GND层和独立电源层的PCB设计方案，这样可以提供更好的EMC性能。如果条件不允许的情况下，无法提供独立的GND层和电源层，那也需要保证有一个良好的供电和接地设计，如尽量使得MCU下方GND平面的完整性等。

在有大功率或可产生强干扰的应用下，需要考虑将MCU远离这些强干扰源。

3.1. 电源去耦电容

GD32E50x系列电源有VDD、VDDA、VREF+和VBAT四个供电脚，100nF去耦电容采用陶瓷即可，且需要保证位置尽可能地靠近电源引脚。电源走线要尽量使得经过电容后再到达MCU电源引脚，建议可通过靠近电容PAD处打Via的形式Layout。

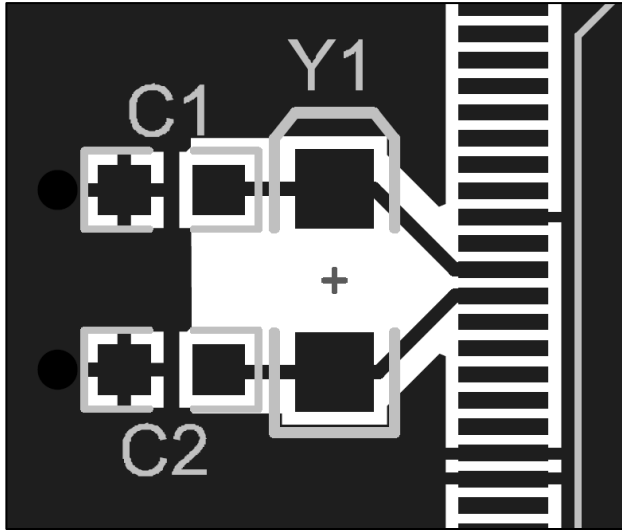
图 3-1. 推荐电源引脚去耦 Layout 设计



3.2. 时钟电路

GD32E50x系列时钟有HXTAL和LXTAL，要求时钟电路（包括晶体或晶振及电容等）靠近MCU时钟引脚放置，且尽量时钟走线由GND包裹起来。

图 3-2. 推荐时钟引脚 Layout 设计（无源晶体）



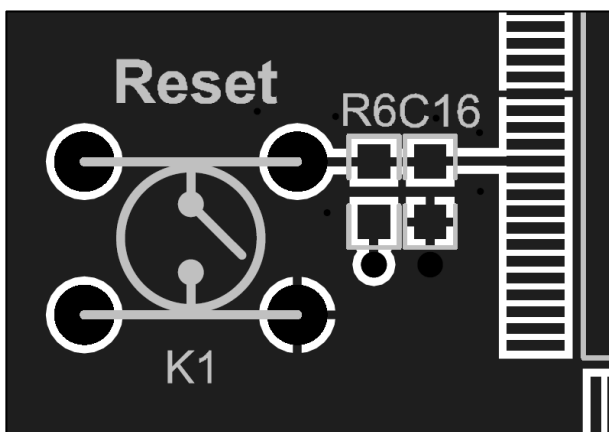
注意：

1. 晶体尽量靠近MCU时钟Pin，匹配电容等尽量靠近晶体；
2. 整个电路尽量与MCU在同层，走线尽量不要穿层；
3. 时钟电路PCB区域尽量禁空，不走任何与时钟无关走线；
4. 大功率、强干扰风险器件及高速走线尽量远离时钟晶体电路；
5. 时钟线进行包地处理，以起到屏蔽效果。

3.3. 复位电路

NRST走线PCB Layout参考如下：

图 3-3. 推荐 NRST 走线 Layout 设计

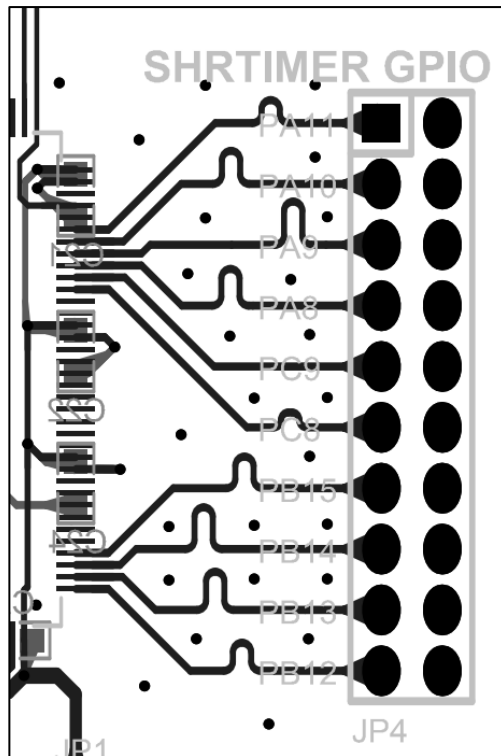


注意：复位电路阻容等尽可能地靠近MCU NRST引脚，且NRST走线尽量远离强干扰风险器件及高速走线等，条件允许的话，最好将NRST走线做包地处理，以起到更好的屏蔽效果。

3.4. SHRTIMER 电路

SHRTIMER 具有超高分辨率计数时钟，可用于高精度定时。它可以产生 10 个超高分辨率的数字信号来灵活地控制电动机或用于电源管理应用。这 10 个数字信号可以独立输出，也可以耦合成 5 对互补信号输出。当用作多路 PWM 输出时，输出信号线建议走等长等宽线，消除 PCB 走线对 SHRTIMER 分辨率的干扰。走线方式如图 3-4 所示。

图 3-4 推荐 SHRTIMER 多路 PWM 走线 Layout 设计



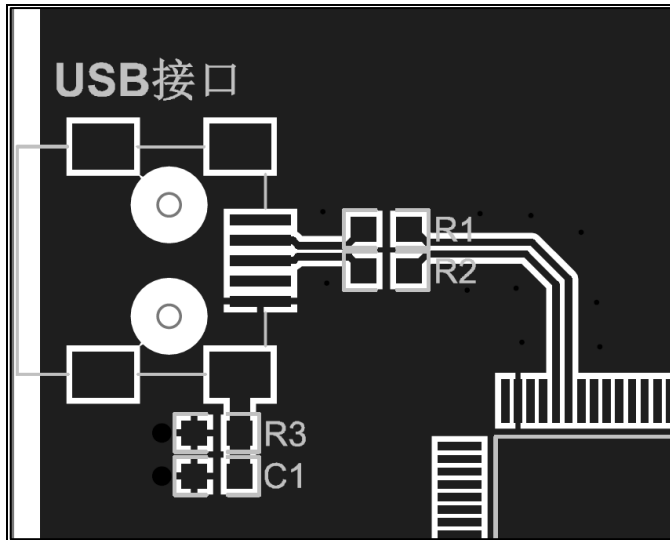
3.5. USB 电路

USB模块有DM、DP两根差分信号线，建议PCB走线要求做特性阻抗90ohm，差分走线严格按照等长等距规则来走，且尽量使走线最短，如果两条差分线不等长，可在终端用蛇形线补偿短线。

由于阻抗匹配考虑，串联匹配电阻建议50Ω左右即可。当USB终端接口离MCU较远的时候，需要适当增大该串联电阻值。

USB差分走线参考如下：

图 3-5. 推荐 USB 差分走线 Layout 设计



推荐：R1 = R2 = 50Ω，R3 = 1MΩ，C = 4700pF。

注意：

1. 布局时摆放合理，以缩短差分走线距离；
2. 优先绘制差分线，一对差分线上尽量不要超过两对过孔，且需要对称放置；
3. 对称平行走线，保证两根线紧密耦合，避免90°、弧形或45°走线方式；
4. 差分走线上所接阻容、EMC等器件，或测试点，也要做到对称原则。

4. 封装说明

GD32E50x系列共有5种封装形式，分别为LQFP48、LQFP64、LQFP100、LQFP144。

表 4-1. 封装型号说明

产品型号	封装
GD32E50xCxT6	LQFP48(7x7, 0.5 pitch)
GD32E50xRxT6	LQFP64(10x10, 0.5 pitch)
GD32E50xVxT6	LQFP100(14x14, 0.5 pitch)
GD32E50xZxT6	LQFP144(20x20, 0.5pitch)

(尺寸单位为毫米mm)

5. 版本历史

表 5-1. 版本历史

版本号.	说明	日期
1.0	首次发布	2022 年 12 月 18 日

Important Notice

This document is the property of GigaDevice Semiconductor Inc. and its subsidiaries (the "Company"). This document, including any product of the Company described in this document (the "Product"), is owned by the Company under the intellectual property laws and treaties of the People's Republic of China and other jurisdictions worldwide. The Company reserves all rights under such laws and treaties and does not grant any license under its patents, copyrights, trademarks, or other intellectual property rights. The names and brands of third party referred thereto (if any) are the property of their respective owner and referred to for identification purposes only.

The Company makes no warranty of any kind, express or implied, with regard to this document or any Product, including, but not limited to, the implied warranties of merchantability and fitness for a particular purpose. The Company does not assume any liability arising out of the application or use of any Product described in this document. Any information provided in this document is provided only for reference purposes. It is the responsibility of the user of this document to properly design, program, and test the functionality and safety of any application made of this information and any resulting product. Except for customized products which has been expressly identified in the applicable agreement, the Products are designed, developed, and/or manufactured for ordinary business, industrial, personal, and/or household applications only. The Products are not designed, intended, or authorized for use as components in systems designed or intended for the operation of weapons, weapons systems, nuclear installations, atomic energy control instruments, combustion control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, life-support devices or systems, other medical devices or systems (including resuscitation equipment and surgical implants), pollution control or hazardous substances management, or other uses where the failure of the device or Product could cause personal injury, death, property or environmental damage ("Unintended Uses"). Customers shall take any and all actions to ensure using and selling the Products in accordance with the applicable laws and regulations. The Company is not liable, in whole or in part, and customers shall and hereby do release the Company as well as its suppliers and/or distributors from any claim, damage, or other liability arising from or related to all Unintended Uses of the Products. Customers shall indemnify and hold the Company as well as its suppliers and/or distributors harmless from and against all claims, costs, damages, and other liabilities, including claims for personal injury or death, arising from or related to any Unintended Uses of the Products.

Information in this document is provided solely in connection with the Products. The Company reserves the right to make changes, corrections, modifications or improvements to this document and Products and services described herein at any time, without notice.